

?S PN=JP 11307687
S9 1 PN=JP 11307687
?T S9/5

9/5/1
DIALOG(R)File 352:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.

012873987 **Image available**

WPI Acc No: 2000-045820/200004

XRPX Acc No: N00-035395

Electronic components arrangement structure for package substrate - has chip capacitor which is arranged at backside of substrate directly under IC chip

Patent Assignee: IBIDEN CO LTD (IBIG)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11307687	A	19991105	JP 98122943	A	19980416	200004 B

Priority Applications (No Type Date): JP 98122943 A 19980416

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 11307687	A	10	H01L-023/12	

Abstract (Basic): JP 11307687 A

NOVELTY - Integrated circuit chip (90) is mounted on the upper surface of package substrate (10). Chip-capacitor is provided exactly below the integrated circuit chip so that the distance of wiring from this chip capacitor (C) to integrated circuit chip is reduced.

USE - For arranging integrated circuit chip on package substrate in central processing unit.

ADVANTAGE - Since the chip capacitor is reliably mounted below the integrated circuit chip, the distance of wiring from this chip capacitor to that integrated circuit chip is reduced. Thus the amount of inductance required is minimized. Thereby the manufacturing cost is efficiently reduced. DESCRIPTION OF DRAWING(S) - The figure shows the cross- sectional elevation of package substrate. (10) Package substrate; (90) Integrated circuit chip; (C) Chip capacitor.

Dwg.6/8

Title Terms: ELECTRONIC; COMPONENT; ARRANGE; STRUCTURE; PACKAGE; SUBSTRATE; CHIP; CAPACITOR; ARRANGE; BACKSIDE; SUBSTRATE; IC; CHIP

Derwent Class: U11; V01; V04

International Patent Class (Main): H01L-023/12

International Patent Class (Additional): H01G-002/06; H05K-003/46

File Segment: EPI

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-307687

(43)公開日 平成11年(1999)11月5日

(51)Int.Cl.⁶

H 01 L 23/12

H 05 K 3/46

// H 01 G 2/06

識別記号

F I

H 01 L 23/12

H 05 K 3/46

H 01 G 1/035

F

Q

N

C

(21)出願番号 特願平10-122943

(22)出願日 平成10年(1998)4月16日

(71)出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72)発明者 平松 靖二

岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社大垣北工場内

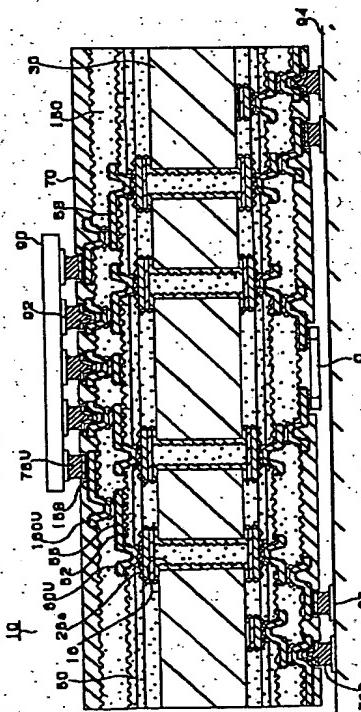
(74)代理人 弁理士 田下 明人 (外1名)

(54)【発明の名称】 パッケージ基板

(57)【要約】

【課題】 コンデンサから瞬間に大電流を集積回路チップへ供給することができるパッケージ基板を提供する。

【解決手段】 パッケージ基板10の下面側の表面であって集積回路チップ90の直下にチップコンデンサCを実装してあるので、該チップコンデンサCから集積回路チップ90までの配線の距離が短くなり、該配線のインダクタンス分を低下させるため、該集積回路チップ90へ瞬時に大電流を供給することができる。



【特許請求の範囲】

【請求項1】 上面に集積回路チップを載置し、下面が基板側に取り付けられるパッケージ基板において、下面側の表面であって、集積回路チップの直下に実装部品を取り付けたことを特徴とするパッケージ基板。

【請求項2】 上面に集積回路チップを載置し、下面が基板側に取り付けられるパッケージ基板であって、層間樹脂絶縁層と導体層とが交互に積層され、各導体層間がバイアホールにて接続されたビルドアップ配線層が、コア基板の両面に形成されてなるパッケージ基板において、

前記コア基板に形成されたスルーホールには、充填剤が充填されるとともに該充填剤のスルーホールからの露出面を覆う導体層が形成されてなり、

その導体層にはバイアホールが接続され、

前記パッケージ基板の下面側の表面であって、集積回路チップの直下に実装部品を取り付けたことを特徴とするパッケージ基板。

【請求項3】 前記実装部品が、誘電材料としてセラミックを用いるチップコンデンサであることを特徴とする請求項1又は2のパッケージ基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、上面に集積回路チップを載置し、下面が基板側に取り付けられるパッケージ基板に関するものである。

【0002】

【従来の技術】 CPU等の集積回路チップを載置するパッケージを構成するパッケージ基板には、コンデンサが設けられることがある。即ち、高速化に伴い、CPUが瞬間に大きな電流を必要とするために、パッケージ基板にコンデンサを設け、該コンデンサに電荷を蓄えておき、大電流を供給できるようにしている。

【0003】 ここで、セラミックの多層線板においては、図8(A)に示すように絶縁層250の両面に導体層252、254を形成することで、コンデンサとしていた。一方、樹脂基板を用いるパッケージ基板においては、図8(B)に示すように、パッケージ基板の上面にチップコンデンサCを載置していた。これは、該パッケージ基板は、樹脂基板にて構成してあり、樹脂の誘電率がセラミックと比較して低いため、樹脂基板の上面と下面に導体層を設けることでパッケージ基板内部にコンデンサを形成しても、高い容量を得ることができないためである。

【0004】

【発明が解決しようとする課題】 しかしながら、図8(B)に示すようにパッケージ基板の上面にチップコンデンサCを配設すると、該チップコンデンサCから集積回路チップ90への距離が離れ、該集積回路チップ90までの配線のインダクタンス分が大きくなるため、集積

回路チップ90へ瞬間に供給し得る電流量を大きくすることが困難であった。

【0005】 このため、本発明者は、特願平9年227232号にて、パッケージ基板の内部にチップコンデンサを配設する技術を提案した。この技術では、集積回路チップ90からコンデンサまでの距離を短くできるものの、製造が困難であった。

【0006】 本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、コンデンサから瞬間に大電流を供給することができるパッケージ基板を提供することにある。

【0007】

【課題を解決するための手段】 請求項1の発明は、上記目的を達成するため、上面に集積回路チップを載置し、下面が基板側に取り付けられるパッケージ基板において、下面側の表面であって、集積回路チップの直下に実装部品を取り付けたことを技術的特徴とする。

【0008】 また、請求項2では、上面に集積回路チップを載置し、下面が基板側に取り付けられるパッケージ基板であって、層間樹脂絶縁層と導体層とが交互に積層され、各導体層間がバイアホールにて接続されたビルドアップ配線層が、コア基板の両面に形成されてなるパッケージ基板において、前記コア基板に形成されたスルーホールには、充填剤が充填されるとともに該充填剤のスルーホールからの露出面を覆う導体層が形成されてなり、その導体層にはバイアホールが接続され、前記パッケージ基板の下面側の表面であって、集積回路チップの直下に実装部品を取り付けたことを技術的特徴とする。

【0009】 また、請求項3では、請求項1又は2において、前記実装部品が、誘電材料としてセラミックを用いるチップコンデンサであることを技術的特徴とする。

【0010】 請求項1では、下面側の表面であって集積回路チップの直下に実装部品(チップコンデンサ)を実装してあるので、該実装部品から集積回路チップまでの配線の距離が短くなり、該配線のインダクタンス分を低下させるため、該集積回路チップへ瞬時に大電流を供給することができる。

【0011】 請求項2では、スルーホール直上に設けた導体層を内層パッドとして機能せしめることで、当該バイアホールへバイアホールを直接接続し、スルーホールとバイアホールとの配線距離を短くする。そして、集積回路チップの直下に実装部品(チップコンデンサ)を実装することで、該実装部品から集積回路チップまでの配線の距離を短くし、該配線のインダクタンス分を低下させ、該集積回路チップへ瞬時に大電流を供給することを可能にする。

【0012】 請求項3では、チップコンデンサの誘電材料として高誘電率のセラミックを用いるため、高い容量を得ることができる。

50 【0013】

【発明の実施の形態】以下、本発明の1実施形態に係るパッケージ基板について図を参照して説明する。先ず、パッケージ基板10の構成について、図6及び図7を参考して説明する。図6は、集積回路チップ90搭載前のパッケージ基板10の断面を示し、図7は、集積回路チップ90を搭載した状態のパッケージ基板10の断面を示している。図7に示すように、パッケージ基板10の上面側には、集積回路チップ90が搭載され、下面側は、データボード94へ接続されている。該パッケージ基板の下面側の表面であって集積回路チップ90の直下に電源用チップコンデンサC、及び、集積回路チップ90の終端用のチップ抵抗(図示せず)が実装されている。また、スルーホール16へバイアホール60U、60Dを直接接続することで、配線長を短くしている。このため、チップコンデンサCから該パッケージ基板に搭載される集積回路チップ90までの配線長が短くなり、該配線のインダクタンス分を低下させるので、該チップコンデンサCから集積回路チップ90へ瞬時に大電流を供給することができる。同様に図示しないチップ抵抗(終端抵抗)から集積回路チップ90までの距離が短くなるので、配線上での反射を抑えることができ、インピーダンス整合し易くなる。

【0014】図6を参考してパッケージ基板の構成について詳細に説明する。該パッケージ基板10では、多層コア基板30の表面及び裏面にビルトアップ配線層80A、80Bが形成されている。該ビルトアップ層80Aは、バイアホール60U及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160U及び導体回路158の形成された層間樹脂絶縁層150とからなる。また、ビルトアップ配線層80Bは、バイアホール60D及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160D及び導体回路158の形成された層間樹脂絶縁層150とからなる。

【0015】上面側には、集積回路チップ90のランド92(図7参照)に接続するための半田バンプ76Uが配設されている。該半田バンプ76Uは、バイアホール160U及びバイアホール60Uを介してスルーホール16へ接続されている。一方、下面側には、データボード(サブボード)94のランド96(図7参照)に接続するための半田バンプ76Dが配設されている。該半田バンプ76Dは、バイアホール160D及びバイアホール60Dを介してスルーホール16へ接続されている。また、チップコンデンサCは、データボード94からの電源ライン(図示せず)に接続され、集積回路チップ90にバイアホール160D、60D、スルーホール16、バイアホール60U、160Uを介して電流を供給するように構成されている。

【0016】該スルーホール16には充填剤22が充填され、該充填剤22のスルーホール16からの露出面を覆うように導体層26aが形成されている。該導体層26aは、円形に形成され、スルーホール16内の充填剤22の上側及び下側に形成される。上層側の該導体層26aには、上記バイアホール60Uが直接接続され、下層側の導体層26aには、上記バイアホール60Dが直接接続されている。このようにバイアホールへバイアホールを直接接続することで、従来技術のようにスルーホールのランドにパッドを付加し、該パッドにバイアホールを接続するのと比較して、スルーホール16とバイア

ホール60U、60Dとの配線長を短くしている。

【0017】この第1実施形態のパッケージ基板10は、パッケージ基板の下面側の表面であって集積回路チップ90の直下に電源用チップコンデンサC、及び、集積回路チップ90の終端用のチップ抵抗(図示せず)が実装されている。また、スルーホール16へバイアホール60U、60Dを直接接続することで、配線長を短くしている。このため、チップコンデンサCから該パッケージ基板に搭載される集積回路チップ90までの配線長が短くなり、該配線のインダクタンス分を低下させるので、該チップコンデンサCから集積回路チップ90へ瞬時に大電流を供給することができる。同様に図示しないチップ抵抗(終端抵抗)から集積回路チップ90までの距離が短くなるので、配線上での反射を抑えることができ、インピーダンス整合し易くなる。

【0018】引き続き、図6に示すパッケージ基板を製造する方法について一例を挙げて具体的に説明する。なお、以下に述べる方法は、セミアディティブ法によるパッケージ基板の製造方法に関するものであるが、本発明におけるパッケージ基板の製造方法では、フルアディティブ法やマルチラミネーション法、ピンラミネーション法を採用することができる。

(1) 厚さ0.5mmのガラスエポキシ樹脂またはBT(ビスマレイミドトリアジン)樹脂からなるコア基板30の両面に18μmの銅箔12がラミネートされている銅張積層板30Aを出発材料とする(図1(A)参照)。この両面にエッチングレジストを設け、硫酸-過酸化水素水溶液でエッチング処理し、導体回路14を有するコア基板30を得た(図1(B))。

【0019】(2) 次に、コア基板30にピッチ間隔600μmで直径300μmの貫通孔16をドリルで削孔し(図1(C)参照)、次いで、パラジウムースズコロイドを付着させ、下記組成で無電解めっきを施して、基板30の全面に2μmの無電解めっき膜18を形成した(図1(D)参照)。

[無電解めっき水溶液]

EDTA	1.50 g/l
硫酸銅	2.0 g/l
HCHO	3.0 ml/l
NaOH	4.0 g/l
α, α' -ビビリジル	8.0 mg/l
PEG	0.1 g/l

[無電解めっき条件]

70℃の液温度で30分

【0020】(3)前記(2)で無電解銅めっき膜18からなる導体(スルーホール16を含む)を形成した基板30を、水洗いし、乾燥した後、NaOH(10g/l)、NaClO₂(4.0g/l)、Na₃PO₄(6g/l)を酸化浴(黒化浴)、NaOH(10g/l)、NaBH₄(6g/l)を還元浴とする酸化還元

処理に供し、そのスルーホール16を含む導体18の全表面に粗化層20を設けた(図1(E)参照)。

【0021】(4) 次に、平均粒径10μmの銅粒子を含む充填剤22(タツタ電線製の非導電性穴埋め銅ペースト、商品名:DDペースト)を、スルーホール16へスクリーン印刷によって充填し、乾燥、硬化させた(図2(F))。そして、導体18上面の粗化層20およびスルーホール16からはみ出した充填剤22を、#600のベルト研磨紙(三共理化学製)を用いたベルトサンダー研磨により除去し、さらにこのベルトサンダー研磨による傷を取り除くためのバフ研磨を行い、基板30の表面を平坦化した(図2(G)参照)。このようにして、スルーホール16の内壁面と樹脂充填剤22とが粗

化層20を介して強固に密着した基板30を得る。

【0022】(5) 前記(4)で平坦化した基板30表面上に、パラジウム触媒(アトテック製)を付与し、前記(2)の条件に従って無電解銅めっきを施すことにより、厚さ0.6μmの無電解銅めっき膜23を形成した(図2(H)参照)。

【0023】(6) ついで、以下の条件で電解銅めっきを施し、厚さ15μmの電解銅めっき膜24を形成し、導体回路14となる部分の厚付け、およびスルーホール16に充填された充填剤22を覆う導体層(円形のスルーホールランドとなる)26aとなる部分を形成した(図2(I))。

[電解めっき水溶液]

硫酸	180 g/l
硫酸銅	80 g/l
添加剤(アトテックジャパン製、商品名:カバラシドGL)	1 ml/l

[電解めっき条件]

電流密度	1 A/dm ²
時間	30分
温度	室温

【0024】(7) 導体回路14および導体層26aとなる部分を形成した基板30の両面に、市販の感光性ドライフィルムを張り付け、マスクを載置して、100mJ/cm²で露光、0.8%炭酸ナトリウムで現像処理し、厚さ15μmのエッティングレジスト25を形成した(図2(J)参照)。

【0025】(8) そして、エッティングレジスト25を形成していない部分のめっき膜23、24を、硫酸と過酸化水素の混合液を用いるエッティングにて溶解除去し、さらに、エッティングレジスト8を5%KOHで剥離除去して、独立した導体回路14aおよび充填剤22を覆う導体層26aを形成した(図3(K)参照)。

【0026】(9) 次に、導体回路14aおよび充填剤22を覆う導体層26aの表面にCu-Ni-P合金からなる厚さ2.5μmの粗化層(凹凸層)27を形成し、さらにこの粗化層27の表面に厚さ0.3μmのSn層を形成した(図3(L)参照、但し、Sn層については図示しない)。その形成方法は以下のようである。即ち、基板30を酸性脱脂してソフトエッティングし、次いで、塩化パラジウムと有機酸からなる触媒溶液で処理して、Pd触媒を付与し、この触媒を活性化した後、硫酸銅8g/l、硫酸ニッケル0.6g/l、クエン酸1.5g/l、次亜リン酸ナトリウム29g/l、ホウ酸3.1g/l、界面活性剤0.1g/l、pH=9からなる無電解めっき浴にてめっきを施し、導体回路14aおよび充填剤22を覆う導体層26aの表面にCu-Ni-P合金の粗化層27を設けた。ついで、ホウフッ化ズム0.1mol/l、チオ尿素1.0mol/l、温度50

0℃、pH=1.2の条件でCu-Sn置換反応させ、粗化層10の表面に厚さ0.3μmのSn層を設けた(Sn層については図示しない)。

【0027】なお、工程(9)に代えて、導体回路14aおよび充填剤22を覆う導体層26aの表面にいわゆる黒化-還元層を形成し、導体回路間にビスフェノールF型エポキシ樹脂などの樹脂を充填し、表面研磨、さらに(9)のめっきによりCu-Ni-P合金の粗化層を形成してもよい。(図6に断面を示すパッケージ断面図は、この工程を使用して製造している)

【0028】(10) 基板表面を平滑化するための樹脂充填剤を調整する。ここでは、ビスフェノールF型エポキシモノマー(油化シェル製、分子量310、YL983U)100重量部、イミダゾール硬化剤(四国化成製、2E4MZ-CN)6重量部を混合し、これらの混合物に対し、表面にシランカップリング剤がコーティングされた平均粒径1.6μmのSiO₂球状粒子(アドマテック製、CRS1101-CE、ここで、最大粒子の大きさは後述する導体回路14aの厚み以下とする)170重量部、消泡剤(サンノブコ製、ペレノールS-4)0.5重量部を混合し、3本ロールにて混練することにより、その混合物の粘度を23±1℃で45.00~49.000cpsに調整して、樹脂充填剤を得る。この樹脂充填剤は無溶剤である。もし溶剤入りの樹脂充填剤を用いると、後工程において層間剤を塗布して加熱・乾燥させる際に、樹脂充填剤の層から溶剤が揮発して、樹脂充填剤の層と層間材との間で剥離が発生するからである。

【0029】(11) 上記(10)で得た樹脂充填剤28を、基板30の両面にロールコーティング用いて塗布することにより、上面の導体層26a間に充填し、70℃、20分間で乾燥させ、下面についても同様にして樹脂充填剤30を導体層26a間あるいは導体回路14a間に充填し、70℃、20分間で乾燥させる(図3(M)参照)。

【0030】(12) 上記(11)の処理を終えた基板30の片面を、#600のベルト研磨紙(三共理化製)を用いたベルトサンダー研磨により、導体層26aの表面や導体回路14aの表面に樹脂充填剤28が残らないよう研磨し、次いで、上記ベルトサンダー研磨による傷を取り除くためのバフ研磨を行う(図3(N)参照)。次いで、100℃で1時間、120℃で3時間、150℃で1時間、180℃で7時間の加熱処理を行って樹脂充填剤28を硬化させる。

【0031】このようにして、導体層26a、導体回路14aの表面の粗化層27を除去して基板両面を平滑化することで、樹脂充填剤28と導体層26a、導体回路14aの側面とが粗化層27を介して強固に密着させる。

【0032】(13) 上記(12)の処理で露出した導体層26a、導体回路14a上面に、厚さ2.5μmのCu-Ni-P合金からなる粗化層(凹凸層)29を形成し、さらに、その粗化層29の表面に厚さ0.3μmのSn層を設ける(図3(O)参照、但し、Sn層については図示しない)。その形成方法は以下のようである。即ち、基板30を酸性脱脂してソフトエッチングし、次いで、塩化パラジウムと有機酸からなる触媒溶液で処理して、Pd触媒を付与し、この触媒を活性化した後、硫酸銅8g/1、硫酸ニッケル0.6g/1、クエン酸15g/1、次亜リン酸ナトリウム2.9g/1、ホウ酸31g/1、界面活性剤0.1g/1、pH=9からなる無電解めっき浴にてめっきを施し、銅導体回路4およびスルーホール9のランド上面にCu-Ni-P合金の粗化層29を形成する。ついで、ホウフッ化ズム0.1mol/1、チオ尿素1.0mol/1、温度50℃、pH=1.2の条件でCu-Sn置換反応させ、粗化層29の表面に厚さ0.3μmのSn層を設ける(Sn層については図示しない)。

【0033】(14) 層間樹脂絶縁層を形成する無電解めっき用接着剤A、Bを以下の方法で調製した。

A. 上層の無電解めっき用接着剤の調製

- ① クレゾールノボラック型エポキシ樹脂(日本化薬製、分子量2500)の25%アクリル化物を35重量部(固形分80%)、感光性モノマー(東亜合成製、アロニックスM315)3.15重量部、消泡剤(サンノプロコ製、S-65)0.5重量部、NMPを3.6重量部を搅拌混合した。
- ② ポリエーテルスルフォン(PES)1.2重量部、エポキシ樹脂粒子(三洋化成製、ポリマーポール)の平均粒径1.0μmのものを7.2重量部、平均粒径0.5μmのものを3.0.9重量部、を混合した後、さらにNMP30重量部を添加し、ビーズミルで搅拌混合した。

③. イミダゾール硬化剤(四国化成製、2E4MZ-CN)2重量部、光開始剤(チバガイギー製、イルガキュアI-907)2重量部、光増感剤(日本化薬製、DET-X-S)0.2重量部、NMP1.5重量部を搅拌混合した。これらを混合して無電解めっき用接着剤組成物Aを調製した。

【0034】B. 下層の無電解めっき用接着剤の調製
①. クレゾールノボラック型エポキシ樹脂(日本化薬製、分子量2500)の25%アクリル化物を35重量部(固形分80%)、感光性モノマー(東亜合成製、アロニックスM315)4重量部、消泡剤(サンノプロコ製、S-65)0.5重量部、NMPを3.6重量部を搅拌混合した。

②. ポリエーテルスルフォン(PES)1.2重量部、エポキシ樹脂粒子(三洋化成製、ポリマーポール)の平均粒径0.5μmのものを1.4.4.9重量部、を混合した後、さらにNMP20重量部を添加し、ビーズミルで搅拌混合した。

【0035】③. イミダゾール硬化剤(四国化成製、2E4MZ-CN)2重量部、光開始剤(チバガイギー製、イルガキュアI-907)2重量部、光増感剤(日本化薬製、DET-X-S)0.2重量部、NMP1.5重量部を搅拌混合した。これらを混合して下層の無電解めっき用接着剤Bを調製した。

【0036】(15) 基板の両面に、まず、前記(14)で調製したBの無電解めっき用接着剤(粘度1.5Pa·s)4.4をロールコーティング用いて塗布し、水平状態で20分間放置してから、60℃で30分の乾燥を行い、次いで、Aの無電解めっき用接着剤(粘度1.0Pa·s)4.6をロールコーティング用いて塗布し、水平状態で20分間放置してから、60℃で30分の乾燥を行い、厚さ40μmの接着剤層50を形成した(図4(P)参照)。

【0037】(16) 接着剤層50を形成した基板の両面に、8.5μmの黒円が印刷されたフォトマスクフィルムを密着させ、超高圧水銀灯により500mJ/cm²で露光した。これをDMDG(ジェチレングリコールジメチルエーテル)溶液でスプレー現像することにより、接着剤層に8.5μmのバイアホールとなる開口を形成した。さらに、当該基板を超高圧水銀灯により3000mJ/cm²で露光し、100℃で1時間、その後150℃で5時間の加熱処理することにより、フォトマスクフィルムに相当する寸法精度に優れた開口(バイアホール形成用開口4.8)を有する厚さ35μmの層間絶縁材層(接着剤層)50を形成した(図4(Q)参照)。なお、バイアホールとなる開口には、スズめっき

層を部分的に露出させた。

【0038】(17) バイアホール形成用開口48を形成した基板を、クロム酸に20分間浸漬し、接着剤層表面に存在するエポキシ樹脂粒子を溶解除去して、当該接着剤層50の表面をR_{max}=1~5μm程度の深さで粗化することで粗化面51を形成し、その後、中和溶液(シブレイ社製)に浸漬してから水洗した(図4(R))。

【0039】(18) 接着剤層表面の粗化(粗化深さ5μm)を行った基板30に対し、パラジウム触媒(アトテック製)を付与することにより、接着剤層50およびバイアホール用開口48の表面に触媒核を付与した。

【0040】(19) 前記(2)と同じ組成の無電解銅めっき浴中に基板を浸漬して、粗化面51全体に厚さ0.6μmの無電解銅めっき膜52を形成した(図4(S)参照)。このとき、無電解銅めっき膜52は薄いために、この無電解めっき膜52の表面には、接着剤層50の粗化面51に追従した凹凸が観察された。

【0041】(20) 市販の感光性ドライフィルムを無電解銅めっき膜52に張り付け、マスクを載置して、100mJ/cm²で露光、0.8%炭酸ナトリウムで現像処理し、厚さ15μmのめっきレジスト54を設けた(図4(T)参照)。

【0042】(21) 次いで、前記(6)の条件に従って電解銅めっきを施し、厚さ15μmの電解銅めっき膜56を形成した(図5(U)参照)。

【0043】(22) めっきレジスト56を5%KOHで剥離除去した後、そのめっきレジスト56下の無電解めっき膜52を硫酸と過酸化水素の混合液でエッティング処理して溶解除去し、無電解銅めっき膜52と電解銅めっき膜56からなる厚さ16μmの導体回路58及びバイアホール60U、60Dを形成する(図5(V))。引き続き、該導体回路58及びバイアホール60U、60Dの表面に粗化層62を形成して、片面3層のパッケージ基板とした(図5(W)参照)。なお、接着剤層50の粗化面に残っているPdをクロム酸(800g/l)に1~10分浸漬して除去した。

【0044】(23) (15)~(22)の工程を繰り返して、バイアホール160Uを有する層間樹脂絶縁層150及びバイアホール160Dを有する層間樹脂絶縁層150をさらに1層積層した(図5(X))。

【0045】(24) 上記(23)で得た配線板の両面に、市販のソルダーレジスト組成物を20μmの厚さで塗布した。次いで、70℃で20分間、70℃で30分間の乾燥処理を行った後、1000mJ/cm²の紫外線で露光し、DMTG現像処理した。そしてさらに、80℃で1時間、100℃で1時間、120℃で1時間、150℃で3時間の条件で加熱処理し、パッド部分71が開口した(開口径200μm)ソルダーレジスト層(厚み20μm)70を形成した(図6参照)。

【0046】(25) 次に、ソルダーレジスト層70を形成した基板30を、塩化ニッケル30g/l、次亜リン酸ナトリウム10g/l、クエン酸ナトリウム10g/lからなるpH=5の無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ5μmのニッケルめっき層72を形成した。さらに、その基板30を、シアノ化金カリウム2g/l、塩化アンモニウム75g/l、クエン酸ナトリウム50g/l、次亜リン酸ナトリウム10g/lからなる無電解金めっき液に9.3℃の条件下23秒間浸漬して、ニッケルめっき層72上に厚さ0.03μmの金めっき層74を形成した。

【0047】(26) そして、ソルダーレジスト層70の開口部71、チップコンデンサC及びチップ抵抗(図示せず)を実装する導体回路158Dの部位に、はんだペーストを印刷する。ここで、はんだとしては、9:1はんだが望ましい。この後、該導体回路158DにチップコンデンサC(村田製作所製、GRM36長さ1mm、幅0.5mm、厚さ0.5mm)及びチップ抵抗を載置する。そして、200℃でリフローすることにより半田バンプ76U、76Dを形成すると共に、該導体回路158DにチップコンデンサC及びチップ抵抗を取り付ける。その後、基板20を洗浄してチップコンデンサ下のはんだ64及び半田バンプ76U、76Dから溶け出したラックス等を除去する。このように、チップコンデンサCを基板内に埋め込むのではなく、表面に実装するため容易に取り付けることができる。

【0048】その後、図7に示すように該パッケージ基板10に集積回路チップ90を取り付けた後、ドータボード94に該パッケージ基板10を組み付ける。

【0049】

【発明の効果】以上のように、請求項1では、下面側の表面であって集積回路チップの直下にチップコンデンサを実装してあるので、該チップコンデンサから集積回路チップまでの配線の距離が短くなり、該配線のインダクタンス分を低下させるため、該集積回路チップに瞬時に大電流を供給することができる。

【0050】請求項2では、スルーホールヘバイアホールを直接接続することで、スルーホールとバイアホールとの配線距離が短くなる。そして、集積回路チップの直下に実装部品(チップコンデンサ)を実装してあるので、該チップコンデンサから集積回路チップまでの配線の距離が短くなり、該配線のインダクタンス分を低下させるため、該集積回路チップへ瞬時に大電流を供給することができる。

【0051】請求項3では、チップコンデンサの誘電材料として高誘電率のセラミックを用いるため、高い容量を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るパッケージ基板の製造工程を示す図である。

【図2】本発明の実施形態に係るパッケージ基板の製造工程を示す図である。

【図3】本発明の実施形態に係るパッケージ基板の製造工程を示す図である。

【図4】本発明の実施形態に係るパッケージ基板の製造工程を示す図である。

【図5】本発明の実施形態に係るパッケージ基板の製造工程を示す図である。

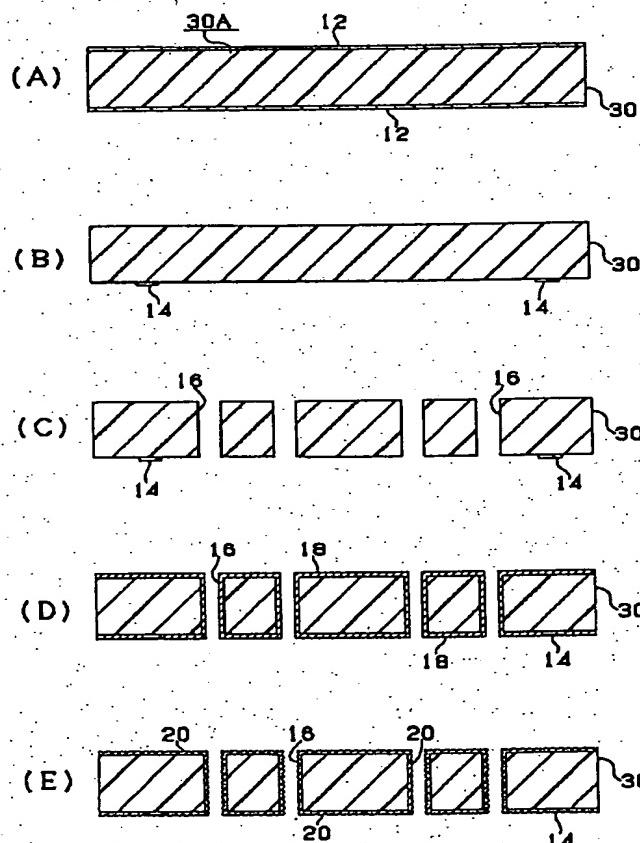
【図6】本発明の実施形態に係るパッケージ基板を示す断面図である。

【図7】本発明の実施形態に係るパッケージ基板に集積回路チップを搭載した状態を示す断面図である。

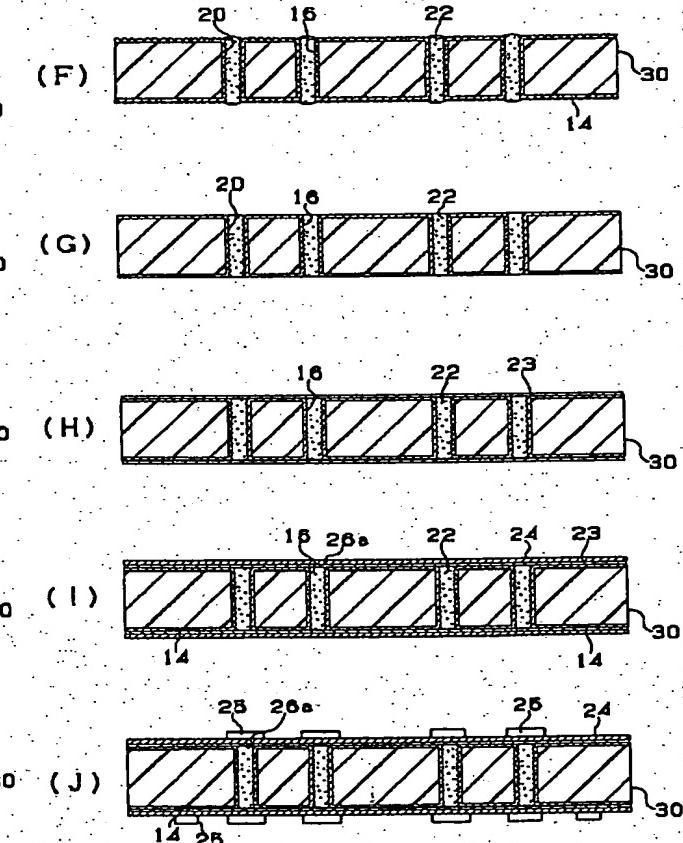
【図8】図8(A)及び図8(B)は、従来技術に係るパッケージ基板の断面図である。

【符号の説明】

【図1】

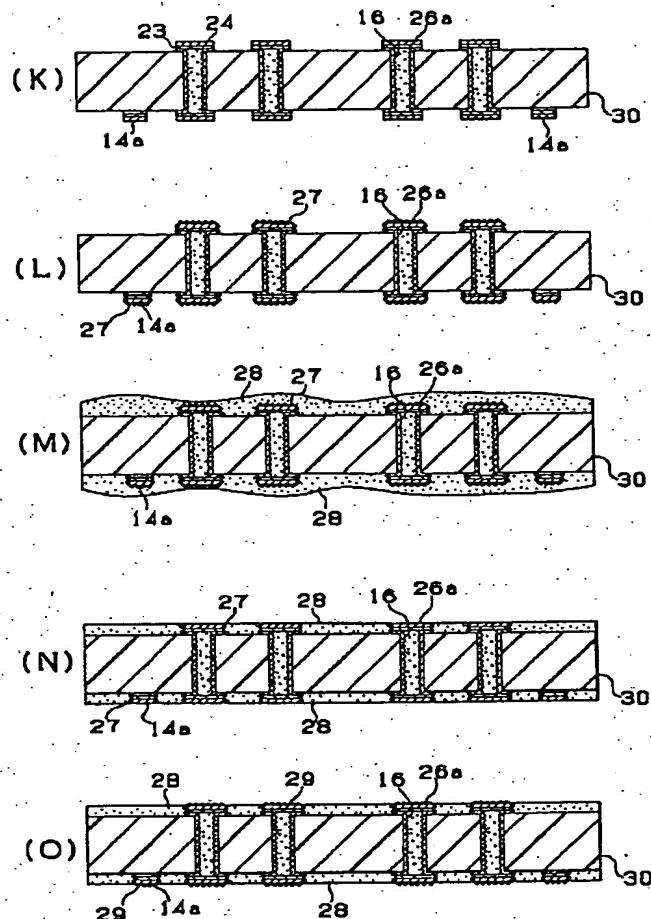


【図2】

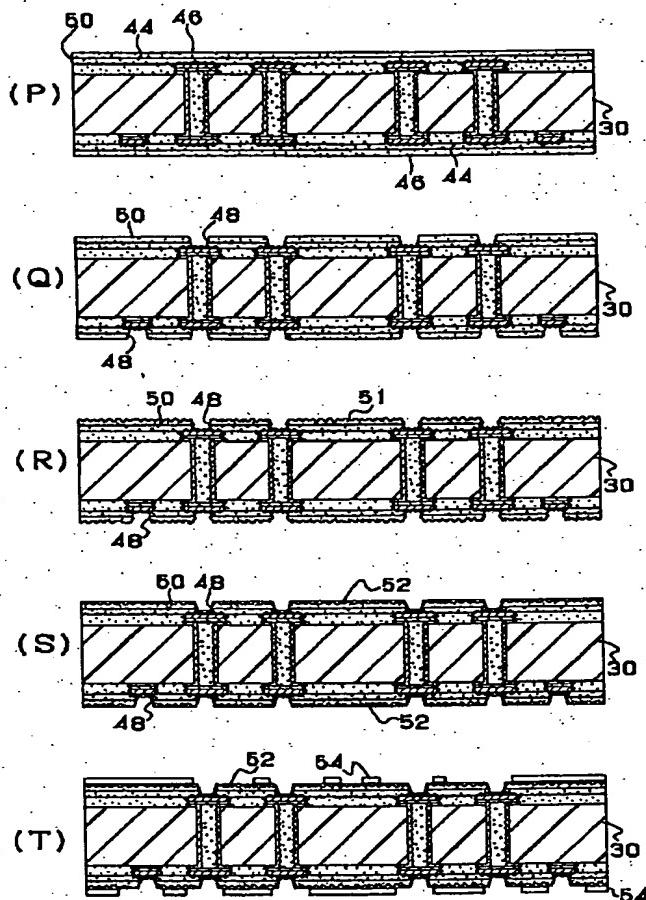


- | | |
|------------|----------------|
| 10 | パッケージ基板 |
| 16 | スルーホール |
| 22 | 充填剤 |
| 26a | 導体層 |
| 30 | コア基板 |
| 50 | 層間樹脂絶縁層 |
| 58 | 導体回路(導体層) |
| 60U, 60D | バイアホール |
| 80A, 80B | ビルドアップ配線層 |
| 90 | 集積回路チップ |
| 94 | ドータボード(基板) |
| 150 | 層間樹脂絶縁層 |
| 160U, 160D | バイアホール |
| C | チップコンデンサ(実装部品) |

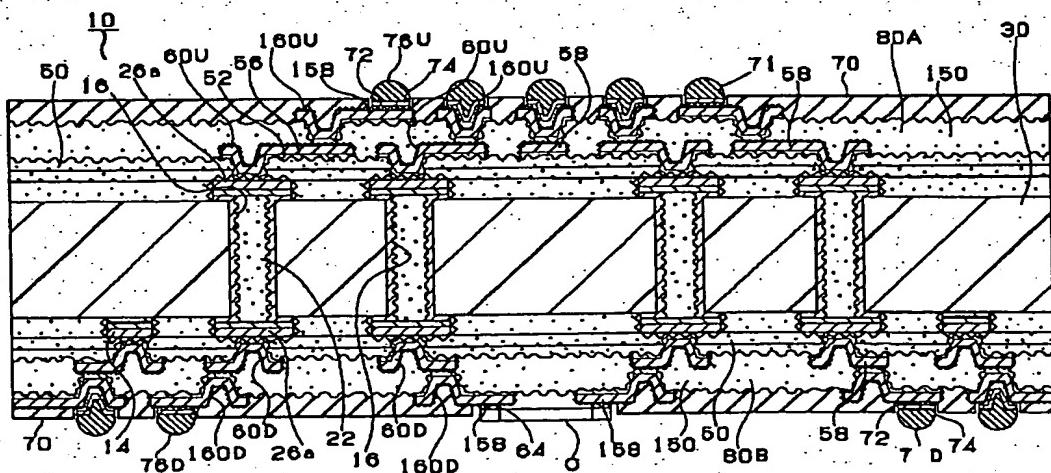
【図3】



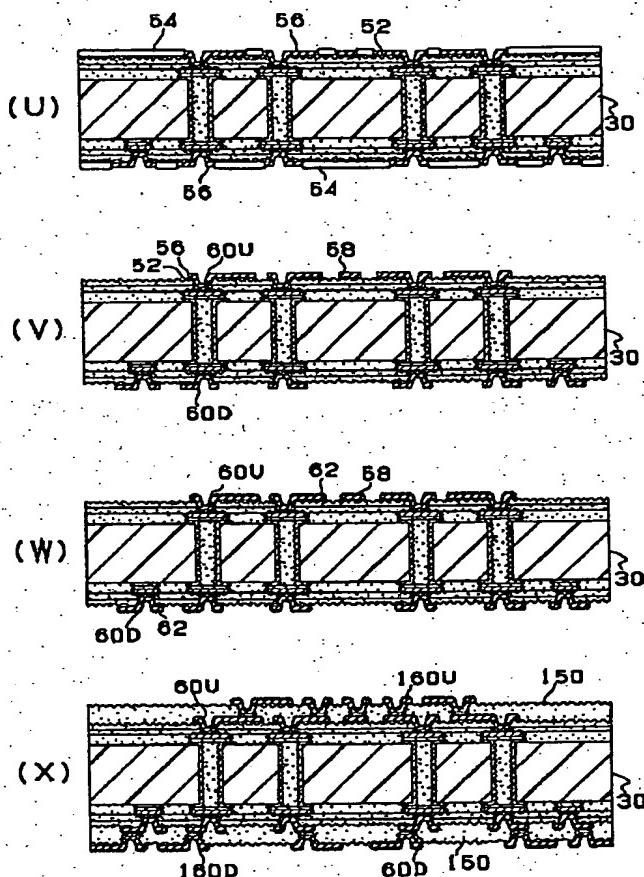
【図4】



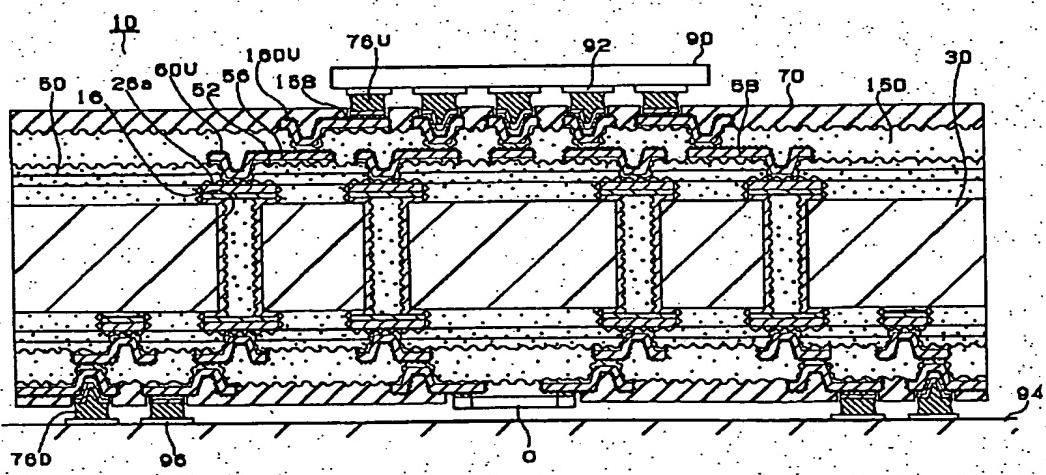
【図6】



【図5】



【図7】



【図8】

